

تشخیص الگوی رفتاری بلوکهای حافظه نهان جهت افزایش کارایی پردازندها با استفاده از روشهای داده کاوی

امیر علیدادی^۱، دکتر مهدی مهدوی^۲، دکتر محمد حسین سرایی^۳

چکیده:

سرعت پردازنده ها بطور چشمگیری در حال افزایش است. اما یک گلوگاه و نقطه ضعف در کارایی پردازنده ها سرعت کم دستیابی به داده های حافظه بدلیل ماهیت و سرعت کم حافظه است. یکی از روش های بر طرف کردن این نقیصه استفاده از حافظه نهان (Cache) و مکانیزم پیش واکشی (prefetching) است. در این روش، داده ها قبل از زمان مورد نیاز پردازنده به درون حافظه ای کوچک ولی با سرعتی نزدیک به سرعت پردازنده انتقال داده و در موقع مناسب به پردازنده تحویل داده می شوند. این که چه داده های به حافظه نهان آورده و در چه زمانی تحویل پردازنده داده شوند، عوامل مهمی هستند که در اندازه و میزان ترافیک و بار (load balancing) حافظه نهان موثر می باشند.

در این مقاله با استفاده از تکنیک های زمانی و مکانی در داده کاوی (Spatial and temporal data mining) و نیز استفاده از مدل مارکوف، به تشخیص الگوی رفتاری برنامه ها پرداخته و سپس داده ها را به مقدار مناسب و در زمان مناسب به درون حافظه نهان می آوریم که باعث کاهش ترافیک و جلوگیری از فاسد شدن داده ها می شود. بدین منظور در این تحقیق داده های که در یک الگوی زمانی و مکانی قرار گرفته اند را درون حافظه نهان با استفاده از یک صف با نظام اولین ورودی اولین خروجی (FIFO) به هم متصل کرده و تنها داده های در یک بازه مناسب، نگه داری می شوند. نتایج روش پیشنهادی در این تحقیق نمایانگر کاهش حجم حافظه نهان، افزایش کارایی و افزایش سرعت به میزان قابل توجه می باشند. مقایسه نتایج بدست آمده از این تحقیق با نتایج حاصل از روشهای مرسوم مبتنی بر جدول سابقه (History table) توسط روشهای آماری و شبیه سازی، نشانگر افزایش کارایی در حدود ۶۰٪ و کاهش بار در حدود ۱۵٪ می باشد.

کلمات کلیدی: ریزپردازنده، حافظه نهان، پیش واکشی، کارایی، داده کاوی زمانی و مکانی.

^۱ دانشجوی کارشناسی ارشد مهندسی کامپیوتر، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی اصفهان alidadi.amir@gmail.com

^۲ استادیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی اصفهان m_mahdavi@cc.iut.ac.ir

^۳ استادیار، دانشکده مهندسی برق و کامپیوتر، دانشگاه صنعتی اصفهان Saraee@cc.iut.ac.ir

A Cache Memory Pattern Detection Approach for Processors Performance Improvement using Data Mining Techniques

Amir Alidadi, Mehdi Mahdavi, Mohammad Hossein saracee

Abstract: The speed of processors is increasing rapidly. However, it is limited due to low data access rate from memory in comparison with processor speeds. Previously, to overcome such a problem, cache memory as well as prefetching techniques have been used. In such a method, the required data will be stored in a small memory which has a data access rate comparable to the processor speed. The data stored in the cache and also the time that the data will be accessed, are the important key factors of cache memory size as well as the load balancing of cache memory.

Here in this paper, we use the spatial and temporal data mining techniques as well as Markov model to detect the pattern of cache memory which decrease the traffic. Results from our paper relieve that our suggested method decreases the cache memory size and improves the speed and performance of the processors. In comparison with history table based methods, our suggested method shows 60% improvement of processor performance as well as 15% reduction of load balancing.

Keywords: Processors, Cache memory, Prefetching, Performance, Load Balancing, the spatial and temporal data mining techniques